

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0039506  
Application Number

출원년월일 : 2003년 06월 18일  
Date of Application JUN 18, 2003

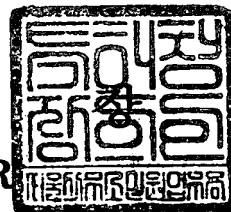
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003      07      29      일  
          년      월      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.06.18
【발명의 명칭】	D D R S D R A M 의 데이터 입력 장치
【발명의 영문명칭】	Data input device of DDR SDRAM
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	조호엽
【성명의 영문표기】	CH0, Ho Youb
【주민등록번호】	700310-1639819
【우편번호】	150-775
【주소】	서울특별시 영등포구 대림동 608-1번지 현대3차아파트 305동 1204호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	7 면 7,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	4 항 237,000 원
【합계】	273,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

## 【요약서】

## 【요약】

본 발명은 DDR SDRAM 의 데이터 입력 장치에 관한 것으로, 라이트 모드시 동작하는 내부 클락을 수신하여 제 1 제어신호(dinstb)인 데이터 인 스트로브 신호를 출력하는 클락펄스 발생기(400)와; 데이터 인 스트로브 신호에 의하여 동작이 제어되며, 상기 DDR SDRAM 의 제 1 글로벌 입출력 라인을 출력 라인으로 하는 제 1 데이터 버퍼(440, 441)와; 데이터 인 스트로브 신호에 의하여 동작이 제어되며, DDR SDRAM 의 제 2 글로벌 입출력 라인을 출력 라인으로 하는 제 2 데이터 버퍼(440, 441)를 구비하며; 제 2 제어신호(soseb\_wt)가 로우 레벨인 경우, 제 1 데이터(dinr)는 제 1 데이터 버퍼에 직접 인가되어 상기 제 1 글로벌 입출력 라인(gio\_ev)으로 전달되고, 제 2 데이터(dinf)는 상기 제 2 데이터 버퍼에 직접 인가되어 상기 제 2 글로벌 입출력 라인(gio\_od)으로 전달되고, 제 2 제어신호(soseb\_wt)가 하이 레벨인 경우, 제 1 데이터는 상기 제 2 데이터 버퍼에 직접 인가되어 상기 제 2 글로벌 입출력 라인으로 전달되고, 제 2 데이터는 상기 제 1 데이터 버퍼에 직접 인가되어 제 1 글로벌 입출력 라인으로 전달된다.

본 발명의 경우, 라이트 모드시 인에이블되는 라이트 인 스트로브 신호(dinstb)를 데이터 버퍼에 직접 인가함으로써 라이트 동작 시간을 단축시킬 수 으며, 또한, 레이아웃 면적을 감소시킬 수 있다.

## 【대표도】

도 4

**【명세서】****【발명의 명칭】**

DDR SDRAM 의 데이터 입력 장치{Data input device of DDR SDRAM}

**【도면의 간단한 설명】**

도 1 은 종래의 DDR DRAM의 데이터 입력 장치의 블록도.

도 2a 는 도 1 에 도시된 데이터 버퍼의 일예.

도 2b 는 도 1 에 도시된 스트로브 신호 발생기의 일예.

도 3 은 도 1 에 도시된 데이터 입력 장치에 사용된 신호 파형도.

도 4 는 본 발명의 제 1 실시예에 따른 DDR SDRAM 의 데이터 입력 장치의 블록도.

도 5 는 도 4 에 도시된 데이터 버퍼의 일예

도 6 은 도 4 에 도시된 멀티플렉서의 다른 일예.

도 7 은 도 4 에 개시된 본 발명의 제 1 실시예의 파형도.

도 8 은 본 발명의 제 2 실시예에 따른 DDR SDRAM 의 데이터 입력 장치의 블록도.

도 9 은 제 2 실시예에 사용되는 데이터 버퍼의 일예.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<11> 본 발명은 반도체 메모리 장치의 데이터 입력 장치에 관한 것으로, 특히 DDR SDRAM 의 데이터 입력 장치에 관한 것이다.

- <12> 일반적으로, DDR SDRAM 은 클락 신호의 라이징 에지와 폴링 에지에 데이터를 동기시켜 입출력하는 메모리 장치로서, 클락신호의 라이징 에지와 폴링 에지에 동기화하여 동작되는 데이터 입력 장치와 데이터 출력 장치를 구비한다.
- <13> 본 발명은 그 중에서 라이트 모드시 동작하는 데이터 입력 장치에 관한 것으로, 도 1 은 종래의 DDR DRAM의 데이터 입력 장치의 블록도를 도시한다.
- <14> 도 1 에 있어서, 종래의 데이터 입력 장치는 클락펄스 발생기(100), 이븐 스트로브 신호 발생기(110), 아드 스트로브 신호 발생기(111), 제 1 데이터 버퍼(120), 제 2 데이터 버퍼(121)를 구비한다. 참고로, 도 2a 는 도 1 에 도시된 데이터 버퍼(120, 121)의 일예이며, 도 2b 는 도 1 에 도시된 스트로브 신호 발생기(110, 111)의 일예로서, 이들 회로의 구성은 당업자에게 주지되어 있다.
- <15> 클락펄스 발생기(100)는 라이트 모드시 동작하는 클락신호(clk\_din)를 수신하여 라이트 될 데이터를 글로벌 데이터 라인으로 전달하도록 하는 제어신호인 스트로브 신호(dinstb)를 발생한다. 즉, 클락펄스 발생기(100)는 라이트 데이터를 스트로브하기 위한 스트로브 신호(dinstb)를 발생하며, 도 3 의 파형도에 도시된 바와 같이, 클락신호(clk\_din)를 수신하여 클락신호(clk\_din)의 라이징 에지에 동기되는 펄스 형태로 스트로브 신호(dinstb)를 출력한다. 참고로, 클락신호 clk\_din 은 데이터 입력용 내부 클락으로서 라이트 모드시 동작하는 내부 클락이다.
- <16> LAT\_SOSEZ 는 라이트 명령시 스타트 어드레스(start address)가 이븐인지 아드인지에 따라 각각의 스트로브 신호를 발생하는 스트로브 신호 발생기(110, 111)

를 나타낸다. 여기서, 스타트 어드레스의 최하위 비트의 값이 '0' 이면 이븐 어드레스이고, 스타트 어드레스의 최하위 비트의 값이 '1' 이면 아드 어드레스이다. 참고로, 스타트 어드레스란 버스트 라이트 동작시 입력되는 컬럼 어드레스를 말한다.

- <17> 스트로브 신호 발생기(110, 111)에 인가되는 입력신호(sofar\_wt)는 스타트 어드레스가 이븐 어드레스인 경우 'LOW' 상태이며, 스타트 어드레스가 아드 어드레스인 경우 'HIGH' 상태이다. 참고로, 입력신호(sofar\_wt)중에서 sofar 는 'start address odd start address even bar' 의 약어이며, wt 는 write 의 약어이다. 입력신호(sofar\_wt)는 라이트 동작시 사용되는 신호이다.
- <18> 스타트 어드레스가 이븐 어드레스인 경우, 입력신호(sofar\_wt)는 'LOW'가 되며, 이븐 스트로브 신호 발생기(110)는 제 1 제어신호(dinstb\_ev)를 출력한다. 여기서, 제 1 제어신호(dinstb\_ev)는 이븐 데이터 인 스트로브(even data in strobe) 신호를 나타낸다.
- <19> 스타트 어드레스가 아드 어드레스인 경우, 입력신호(sofar\_wt)는 'HIGH'가 되며, 아드 스트로브 신호 발생기(111)는 제 2 제어신호(dinstb\_od)를 출력한다. 여기서, 제 2 제어신호(dinstb\_od)는 아드 데이터 인 스트로브(odd data in strobe) 신호를 나타낸다.
- <20> 다음, 3 개의 신호 즉, 데이터 인 스트로브 신호(dinstb)와 제 1 및 제 2 제어신호(dinstb\_ev, dinstb\_od)는 OR 연산되며, OR 연산된 출력신호(dinstb\_pcg)는 데이터 버퍼(120, 121)에 인가된다. 참고로, 신호(dinstb\_pcg)는 데이터 버퍼(120, 121)를 프리차지 신호이다. 따라서, 3 개의 신호중에서 어느 하나의 신호가 하이 레벨인 경우, 즉, 인에이블 상태가 되는 경우, 데이터 버퍼(120, 121)는 정상적으로 동작하며, 3 개의 신호 모두가 로우 레벨인 경우, 즉, 디스에이블 상태가 되는 경우, 데이터 버퍼(120, 121)는 프리차지 상태가 된다.

- <21> 또한, 제 1 및 제 2 제어신호(dinstb\_ev, dinstb\_od)는 각각 데이터 버퍼(120, 121)에 인가된다. 여기서, 데이터 버퍼(120, 121)는 DIN\_IOSA 로 표시되며, 제 1 및 제 2 제어신호(dinstb\_ev, dinstb\_od)에 따라 데이터 버퍼(120, 121)에 저장된 데이터를 메모리 장치의 글로벌 입출력 라인(gio\_ev, gio\_od)으로 전달한다.
- <22> 다음, 데이터(dinr)는 데이터 입력 버퍼(120)에 인가되고, 데이터(dinf)는 데이터 입력 버퍼(121)에 인가된다. 일반적으로, DDR SDRAM 에 있어서, 데이터는 DQS 와 함께 들어온다. 이때, DQS 의 라이징 데이터가 본 명세서에서 사용된 dinr 이고, DQS 의 폴링 데이터는 dinf 로 표시된다. 예컨대, 버스트 길이가 4 인 경우로서, 4 개의 데이터(Q0, Q1, Q2, Q3)가 인가 되는 경우, dinr 은 Q0, Q2 를 나타내고, dinf 는 Q1, Q3 를 나타낸다.
- <23> 동작에 있어서, 라이트 동작시에 인가되는 스타트 어드레스가 이븐 어드레스인 경우, 클락신호의 라이징 에지에 동기되어 입력되는 라이징 데이터(dinr)는 제 1 데이터 입력 버퍼(120)에 인가되어 글로벌 입출력 라인(gio\_ev)으로 전송되고, 클락신호의 폴링 에지에 동기되어 입력되는 폴링 데이터(dinf)는 제 2 데이터 입력 버퍼(121)에 인가되어 글로벌 입출력 라인(gio\_od)으로 전송된다.
- <24> 반면에, 라이트 동작시에 인가되는 스타트 어드레스가 아드 어드레스인 경우, 클락신호의 라이징 에지에 동기되어 입력되는 라이징 데이터(dinr)는 제 2 데이터 입력 버퍼(121)에 인가되어 글로벌 입출력 라인(gio\_od)으로 전송되고, 클락신호의 폴링 에지에 동기되어 입력되는 폴링 데이터(dinf)는 제 1 데이터 입력 버퍼에 인가되어 글로벌 입출력 라인(gio\_ev)으로 전송된다.
- <25> 예를들어, 버스트 길이가 4 인 경우에 대하여 살펴보자.

- <26> DDR SDRAM 에 있어서, 라이트 모드시, 데이터 Q0, Q1, Q2, Q3 가 연속적으로 입력되는 경우, 데이터 입출력을 동기화하는 첫번째 클락신호의 라이징 에지에 동기되어 입력되는 데이터는 'Q0' 이고, 첫번째 클락신호의 폴링 에지에 동기되어 입력되는 데이터는 'Q1' 이고, 두 번째 클락신호의 라이징 에지에 동기되어 입력되는 데이터는 'Q2' 이고, 두 번째 클락신호의 폴링 에지에 동기되어 입력되는 데이터는 'Q3' 이다.
- <27> 이때, 버스트 동작을 위하여 입력되는 컬럼 어드레스의 최하위 비트의 값이 '0'인 경우, 데이터 'Q0' 는 제 1 데이터 입력 버퍼(120)에 인가되어 글로벌 입출력 라인(gio\_ev)으로 전송된다. 다음, 데이터 'Q1' 는 제 2 데이터 입력 버퍼(121)에 인가되어 글로벌 입출력 라인(gio\_od)으로 전송된다. 다음, 데이터 'Q2' 는 제 1 데이터 입력 버퍼(120)에 인가되어 글로벌 입출력 라인(gio\_ev)으로 전송된다. 다음, 데이터 'Q3' 는 제 2 데이터 입력 버퍼(121)에 인가되어 글로벌 입출력 라인(gio\_od)으로 전송된다. 즉, 버스트 동작을 위하여 입력되는 컬럼 어드레스의 최하위 비트의 값이 '0'인 경우, 제 1 데이터 버퍼(120)에는 데이터 'Q0', 'Q2' 가 인가되고, 제 2 데이터 버퍼(121)에는 데이터 'Q1', 'Q3' 가 인가된다.
- <28> 반면에, 버스트 동작을 위하여 입력되는 컬럼 어드레스의 최하위 비트의 값이 '1'인 경우, 데이터 'Q0' 는 제 2 데이터 입력 버퍼(121)에 인가되어 글로벌 입출력 라인(gio\_od)으로 전송된다. 다음, 데이터 'Q1' 는 제 1 데이터 입력 버퍼(120)에 인가되어 글로벌 입출력 라인(gio\_ev)으로 전송된다. 다음, 데이터 'Q2' 는 제 2 데이터 입력 버퍼(121)에 인가되어 글로벌 입출력 라인(gio\_od)으로 전송된다. 다음, 데이터 'Q3' 는 제 1 데이터 입력 버퍼(120)에 인가되어 글로벌 입출력 라인(gio\_ev)으로 전송된다. 즉, 버스트 동작을 위하여 입력되는 컬럼 어드레스의 최하위 비트의 값이 '1'인 경우, 제 2 데이터 버퍼(121)에 데이터 'Q0', 'Q2' 가 인가되고, 제 1 데이터 버퍼(120)에 데이터 'Q1', 'Q3' 가 인가된다.



- <29> 이에 대하여 도 3 의 파형도를 참조하여 보다 구체적으로 설명한다.
- <30> 도 3 에 있어서, 전술한 바와 같이, 신호(soseb\_wt)가 'LOW' 상태인 경우, 스타트 어드레스는 이븐 어드레스임을 나타내고, 신호(soseb\_wt)가 'HIGH' 상태인 경우, 스타트 어드레스는 아드 어드레스임을 나타낸다.
- <31> 도 3 에서 알 수 있듯이, 신호(soseb\_wt)가 로우 레벨인 경우, 라이징 데이타(dinr)는 일정 시간이 흐른 후, 이븐 글로벌 입출력 라인(gio\_ev)으로 전달되고, 폴링 데이타(dinf)는 일정 시간이 흐른 후, 아드 글로벌 입출력 라인(gio\_od)으로 전달된다. 반면에, 신호(soseb\_wt)가 하이 레벨인 경우, 라이징 데이타(dinr)는 일정 시간이 흐른 후, 아드 글로벌 입출력 라인(gio\_od)으로 전달되고, 폴링 데이타(dinf)는 일정 시간이 흐른 후, 이븐 글로벌 입출력 라인(gio\_ev)으로 전달된다.
- <32> 위에서 살펴본 바와 같이, 종래의 경우, 이븐 데이타와 아드 데이타를 수신하기 위하여, 데이타 인 스트로브 신호(dinstb)는 이븐 신호와 아드 신호(즉, 제 1 및 제 2 제어신호)로 분리된다.
- <33> 또한, 데이타 입력 버퍼(120, 121)를 프리차지시키는 신호(dinstb\_pcg)를 별도로 사용하였다. 또한, 스트로브 신호 발생기(110, 111)는 데이타 인 스트로브 신호(dinstb)와 신호(soseb\_wt)를 수신하여 제 1 및 제 2 제어신호를 발생시킨다.
- <34> 이때, 스타트 어드레스가 이븐인 라이트 동작인 경우, 신호(soseb\_wt)는 로우 레벨이 되어 제 1 제어신호(dinstb\_ev)가 인에이블되고 제 2 제어신호(dinstb\_od)는 로우 레벨을 유지한다.

- <35>       반면에, 스타트 어드레스가 아드인 라이트 동작인 경우, 신호(soseb\_wt)는 하이 레벨이 되어 제 1 제어신호(dinstb\_ev)가 로우 레벨을 유지하고 제 2 제어신호 (dinstb\_od)는 인에이블된다.
- <36>       동작시에, 제 1 제어신호(dinstb\_ev)가 인에이블되면, 라이징 데이타(dinr)는 글로벌 입출력 라인(gio\_ev)으로 전달되고, 폴링 데이타(dinf)는 글로벌 입출력 라인(gio\_od)으로 전달된다. 반면에, 제 2 제어신호(dinstb\_od)가 인에이블되면, 라이징 데이타(dinr)는 글로벌 입출력 라인(gio\_od)으로 전달되고, 폴링 데이타(dinf)는 글로벌 입출력 라인(gio\_ev)으로 전달된다.
- <37>       그런데, 도 1 에 도시된 종래의 데이터 입력 장치는 다음과 같은 문제점을 가지고 있다.
- <38>       1) 데이터 인 스트로브 신호(dinstb)는 스트로브 신호 발생기(110, 111)를 통과하여 제 1 및 제 2 제어신호로 변형된 후 데이터 입력 버퍼(120, 121)에 인가되므로 신호의 타이밍이 지연되어 라이트 동작 시간이 길어지는 문제점이 있다.
- <39>       2) 또한, 제 1 및 제 2 제어신호를 발생시키는 스트로브 신호 발생기(110, 111)와 프리차지 신호(dinstb\_pcg)를 발생시키는 OR 게이트 등으로 인하여 전력 소모가 증대됨은 물론 레이아웃의 손실도 초래한다.
- 【발명이 이루고자 하는 기술적 과제】
- <40>       본 발명은 전술한 문제점을 해결하기 위하여 제안된 것으로, DDR SDRAM 에서의 라이트 동작 시간을 단축시키는 것을 목적으로 한다.

<41> 이를 위하여, 본 발명에서는 데이터 인 스트로브 신호(dinstb)를 직접 사용하는 방법을 제시한다.

<42> 또한, 본 발명에서는 많은 면적을 차지하는 스트로브 신호 발생기(110, 111)를 사용하지 않음으로써 전력 절감 및 레이아웃 면적을 감소시키는 것을 목적으로 한다.

#### 【발명의 구성 및 작용】

<43> 본 발명에 따른 DDR SDRAM 의 데이터 입력 장치는 라이트 모드시 동작하는 내부 클락을 수신하여 제 1 제어신호(dinstb)인 데이터 인 스트로브 신호를 출력하는 클락펄스 발생기(400)와; 데이터 인 스트로브 신호에 의하여 동작이 제어되며, 상기 DDR SDRAM 의 제 1 글로벌 입출력 라인을 출력 라인으로 하는 제 1 데이터 버퍼(440, 441)와; 데이터 인 스트로브 신호에 의하여 동작이 제어되며, DDR SDRAM 의 제 2 글로벌 입출력 라인을 출력 라인으로 하는 제 2 데이터 버퍼(440, 441)를 구비하며; 제 2 제어신호(soseb\_wt)가 로우 레벨인 경우, 제 1 데이터(dinr)는 상기 제 1 데이터 버퍼에 직접 인가되어 상기 제 1 글로벌 입출력 라인(gio\_ev)으로 전달되고, 제 2 데이터(dinf)는 상기 제 2 데이터 버퍼에 직접 인가되어 상기 제 2 글로벌 입출력 라인(gio\_od)으로 전달되고, 제 2 제어신호(soseb\_wt)가 하이 레벨인 경우, 제 1 데이터는 상기 제 2 데이터 버퍼에 직접 인가되어 상기 제 2 글로벌 입출력 라인으로 전달되고, 제 2 데이터는 상기 제 1 데이터 버퍼에 직접 인가되어 제 1 글로벌 입출력 라인으로 전달된다.

<44> 본 발명에서, 제 2 제어신호는 라이트 동작시 인가되는 컬럼 어드레스의 최하위 비트가 '0' 인 경우 로우 레벨을 출력하며, 라이트 동작시 인가되는 컬럼 어드레스의 최하위 비트가 '1' 인 경우 하이 레벨을 출력한다.

- <45> 본 발명의 제 1 실시예에서, 제 1 데이터 버퍼는 하나의 입력 단자를 통하여 제 1 데이터 또는 제 2 데이터를 선택적으로 수신한다.
- <46> 본 발명의 제 2 실시예에서, 제 1 데이터 버퍼는 2 개의 입력 단자를 통하여 제 1 데이터 또는 제 2 데이터를 선택적으로 수신한다.
- <47> (실시예)
- <48> 이하, 도면을 참조하여 본 발명의 실시예에 대하여 보다 구체적으로 설명하기로 한다.
- <49> 도 4 는 본 발명의 제 1 실시예에 따른 DDR SDRAM 의 데이터 입력 장치에 관한 것이다.
- <50> 도시된 바와같이, 본 발명의 제 1 실시예는 클락펄스 발생기(400), 멀티플렉서(420), 데이터 버퍼(440, 441)을 구비한다.
- <51> 클락펄스 발생기(400)는 라이트되는 데이터(dinr, dinf)를 스트로브하기 위한 스트로브 신호를 발생하며, 종래의 경우처럼 스트로브 타이밍을 조절할 수 있는 딜레이 조절부와 펄스폭을 조절하는 펄스 폭 조절부로 구성된다. 클락펄스 발생기(400)는 도 1 에 도시된 종래의 클락펄스 발생기(100)와 사실상 동일하다. 따라서, 클럭 펄스 발생기(400)의 입력신호는 clk\_din 이고, 그 출력신호는 dinstb 이며, 이는 도 1 의 신호와 동일하다.
- <52> 멀티플렉서(420)는 라이트 동작시 스타트 어드레스에 따라 외부에서 입력된 라이징 데이터와 폴링 데이터(dinr, dinf)를 각각 먹싱(muxing)하여 그에 대응하는 이븐 데이터(din\_ev)와 아드 데이터(din\_od)를 출력한다. 여기서, 멀티플렉서의 제어 신호는 soseb\_wt 이다. 즉, 제어신호(soseb\_wt)가 'LOW'인 경우, 라이징 데이터(dinr)는 din\_ev 에 전달되고, 폴링 데이터는 din\_od 에 전달된다. 또한, 제어신호(soseb\_wt)가 'HIGH'인 경우, 라이징 데이터(dinr)는 din\_od 에 전달되고, 폴링 데이터는 din\_ev 에 전달된다.

<53> 데이터 버퍼(440, 441)는 클락펄스 발생기(400)로부터 출력되는 신호(dinstb)에 의하여 제어되며, 멀티플렉서(420)로부터 출력되는 이븐 데이터와 아드 데이터(din\_ev, din\_od)를 수신하여 글로벌 입출력 라인(gio\_ev, gio\_od)으로 각각 전달한다. 즉, 신호(dinstb)가 인에이블되는 경우, 이븐 데이터(din\_ev)는 이븐 글로벌 입출력 라인(gio\_ev)으로 전달되고, 아드 데이터(din\_od)는 아드 글로벌 입출력 라인(gio\_od)으로 전달된다. 따라서, 스타트 어드레스가 이븐 어드레스인 라이트 동작시, 라이징 데이터(dinr)는 이븐 글로벌 입출력 라인(gio\_ev)으로 전달되고, 폴링 데이터(dinf)는 아드 글로벌 입출력 라인(gio\_od)으로 전달된다. 반면에, 스타트 어드레스가 아드 어드레스인 라이트 동작시, 라이징 데이터(dinr)는 아드 글로벌 입출력 라인(gio\_ev)으로 전달되고, 폴링 데이터(dinf)는 이븐 글로벌 입출력 라인(gio\_od)으로 전달된다. 참고로, 데이터 인 스트로브(dinstb) 신호가 디스에이블 상태인 경우, 데이터 버퍼(440, 441)는 프리차지 상태를 유지한다.

<54> 도 1 에서 설명한 바와같이, 스타트 어드레스가 이븐 어드레스인 라이트 동작시, 제어신호(soseb\_wt)는 'LOW' 상태가 된다. 따라서, 데이터 Q0, Q1, Q2, Q3 중에서 데이터 Q0, Q2 는 라이징 데이터에 실리어 최종적으로 데이터 버퍼(440)으로 인가되고, 데이터 Q1, Q3 는 폴링 데이터에 실리어 최종적으로 데이터 버퍼(441)으로 인가된다.

<55> 반면에, 스타트 어드레스가 아드 어드레스인 경우, 제어신호(soseb\_wt)는 'HIGH' 상태가 된다. 따라서, 데이터 Q0, Q1, Q2, Q3 중에서 데이터 Q0, Q2 는 라이징 데이터에 실리어 최종적으로 데이터 버퍼(441)으로 인가되고, 데이터 Q1, Q3 는 폴링 데이터에 실리어 최종적으로 데이터 버퍼(440)으로 인가된다.

- <56> 여기서, 예컨대 라이트 동작시 스타트 어드레스가 이븐 어드레스인 경우, 먼저 라이징 데이터(dinr)가 이븐 데이터(din\_ev)로 전달되고, 그 다음 폴링 데이터(dinf)는 아드 데이터(din\_od)로 전달된다.
- <57> 그러나, 라이트 동작시 스타트 어드레스가 아드 어드레스인 경우, 먼저 폴링 데이터(dinf)가 아드 데이터(din\_od)로 전달되고, 그 다음 라이징 데이터(dinr)가 이븐 데이터(din\_ev)로 전달된다.
- <58> 도 5 는 도 4 에 도시된 데이터 버퍼(440, 441)의 일예를 도시한다. 도시된 바와같이, 본 발명의 제 1 실시예에 사용된 데이터 버퍼는 데이터 인 스트로브(dinstb) 신호가 하이 레벨인 경우에 인에이블되어 동작한다. 따라서, 데이터 버퍼에 입력된 라이징 또는 폴링 데이터는 글로벌 입출력 라인으로 전달된다.
- <59> 도 6 은 도 4 에 도시된 멀티플렉서의 다른 일예를 도시한 도면으로 당업자는 본 발명의 사상을 벗어나지 않는 범위내에서 다양하게 변형하여 구현할 수 있을 것이다.
- <60> 도 7 은 도 4 에 개시된 본 발명의 제 1 실시예의 파형도를 나타낸다.
- <61> 도 7 에서 알 수 있듯이, 제어 신호(soseb\_wt)가 로우 레벨인 경우, 라이징 데이터(dinr)는 일정 시간이 흐른 후, 이븐 글로벌 입출력 라인(gio\_ev)으로 전달되고, 폴링 데이터(dinf)는 일정 시간이 흐른 후, 아드 글로벌 입출력 라인(gio\_od)으로 전달된다. 반면에, 제어 신호(soseb\_wt)가 하이 레벨인 경우, 라이징 데이터(dinr)는 일정 시간이 흐른 후, 아드 글로벌 입출력 라인(gio\_od)으로 전달되고, 폴링 데이터(dinf)는 일정 시간이 흐른 후, 이븐 글로벌 입출력 라인(gio\_ev)으로 전달된다. 도 7 에서 알 수 있듯이, 제 1 실시예의 기본적인

동작은 종래의 경우와 동일하나, 입력된 데이터가 글로벌 입출력 라인으로 전달되기까지의 시간은 종래의 경우보다 단축된다.

<62> 도 8 은 본 발명의 제 2 실시예에 따른 DDR SDRAM 의 데이터 입력 장치에 관한 것이다.

<63> 도시된 바와같이, 본 발명의 제2 실시예는 클락펄스 발생기(800)와 데이터 버퍼(820, 821)를 구비한다. 제 2 실시예는 제 1 실시예에 사용된 멀티플렉서의 기능을 데이터 버퍼(820, 821)내에 구현하였다는 것을 제외하고는 사실상 그 동작이 동일하다.

<64> 이하, 본 발명의 제 2 실시예를 보다 구체적으로 설명한다.

<65> 도 8 에 있어서, 클락신호(clk\_din)을 수신한 클락펄스 발생기(800)는 데이터 스트로브 펄스 신호(dinstb)를 출력하며, 그 구조는 도 1 및 도 3 의 클락펄스 발생기의 구조와 사실상 동일하다. 클락펄스 발생기(800)의 출력신호(dinstb)는 데이터 버퍼(820, 821)에 인가되며, 데이터 버퍼(820, 821)는 신호(dinstb)가 하이 레벨인 경우에 동작한다(도 9 참조).

<66> 데이터 버퍼(820, 821)는, 도 8 에 도시된 바와같이, 라이징 데이터(dinr)와 폴링 데이터(dinf)와 신호(soseb\_wt)를 직접 수신하며, 제 2 실시예의 기본적인 신호와 그 동작은 사실상 제 1 실시예와 동일하므로 반복적인 동작 설명은 생략한다.

<67> 도 9 은 제 2 실시예에 사용되는 데이터 버퍼(820, 821)의 일예를 도시한다.

<68> 도 9 에서, 예컨대 스타트 어드레스가 이븐 어드레스인 라이트 동작시, 신호(soseb\_wt)는 로우 상태이며, 라이징 데이터(dinr)는 글로벌 입출력 라인(gio-ev)으로 전달되고, 폴링 데이터(dinf)는 글로벌 입출력 라인(gio\_od)으로 전달된다.

**【발명의 효과】**

<69>       이상에서 알 수 있듯이, 본 발명에 따른 제 1 실시예와 제 2 실시예에서는 라이트 모드 시 인에이블되는 라이트 인 스트로브 신호(dinstb)를 데이터 버퍼에 직접 인가함으로써 라이트 동작 시간을 단축시킬 수 있다. 또한, 스트로브 신호 발생기(110, 111)를 사용하는 종래의 기술과는 달리 본 발명에서는 간단한 멀티플렉서를 사용함으로써 레이아웃 면적을 감소시킬 수 있다.



**【특허청구범위】****【청구항 1】**

DDR SDRAM 의 데이터 입력 장치에 있어서,

라이트 모드시 동작하는 내부 클락을 수신하여 제 1 제어신호인 데이터 인 스트로브 신호를 출력하는 클락펄스 발생기와,

상기 데이터 인 스트로브 신호에 의하여 동작이 제어되며, 상기 DDR SDRAM 의 제 1 글로벌 입출력 라인을 출력 라인으로 하는 제 1 데이터 버퍼와,

상기 데이터 인 스트로브 신호에 의하여 동작이 제어되며, 상기 DDR SDRAM 의 제 2 글로벌 입출력 라인을 출력 라인으로 하는 제 2 데이터 버퍼를 구비하며,

제 2 제어신호가 로우 레벨인 경우, 제 1 데이터는 상기 제 1 데이터 버퍼에 직접 인가되어 상기 제 1 글로벌 입출력 라인으로 전달되고, 제 2 데이터는 상기 제 2 데이터 버퍼에 직접 인가되어 상기 제 2 글로벌 입출력 라인으로 전달되고,

상기 제 2 제어신호가 하이 레벨인 경우, 제 1 데이터는 상기 제 2 데이터 버퍼에 직접 인가되어 상기 제 2 글로벌 입출력 라인으로 전달되고, 제 2 데이터는 상기 제 1 데이터 버퍼에 직접 인가되어 상기 제 1 글로벌 입출력 라인으로 전달되는 것을 특징으로 하는 DDR SDRAM 의 데이터 입력 장치.

**【청구항 2】**

제 1 항에 있어서,

상기 제 2 제어신호는 라이트 동작시 인가되는 컬럼 어드레스의 최하위 비트가 '0' 인 경우 로우 레벨을 출력하며, 라이트 동작시 인가되는 컬럼 어드레스의 최하위 비트가 '1' 인 경우 하이 레벨을 출력하는 것을 특징으로 하는 DDR SDRAM 의 데이터 입력 장치.

**【청구항 3】**

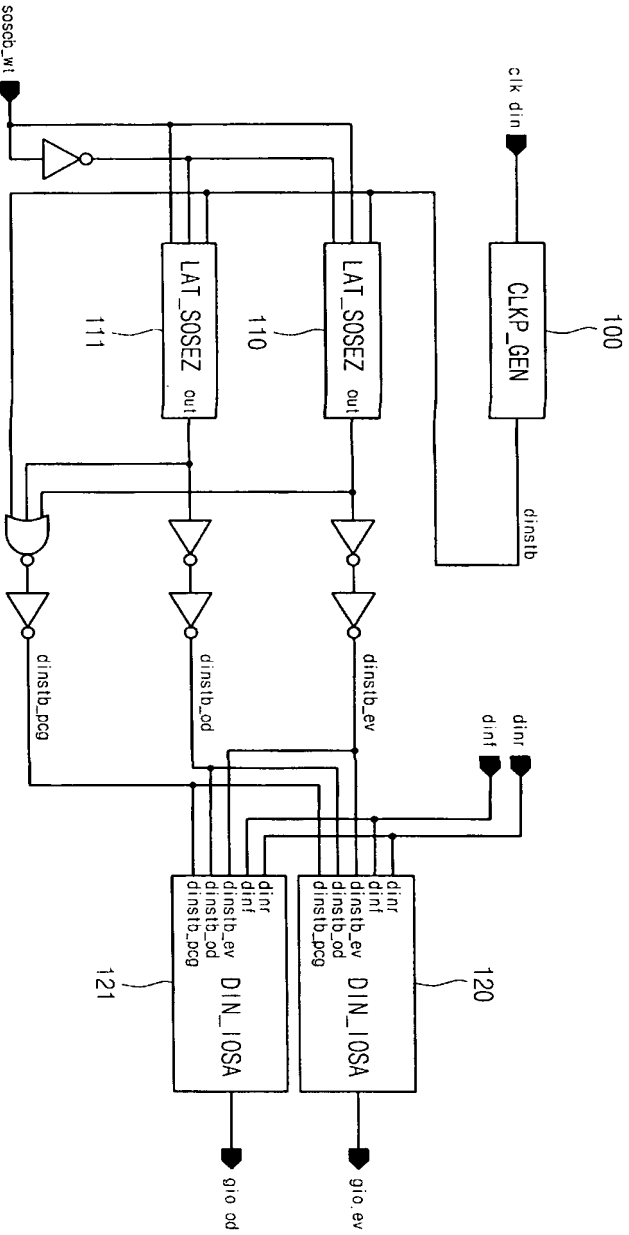
제 1 항에 있어서, 상기 제 1 데이터 버퍼는 하나의 입력 단자를 통하여 상기 제 1 데이터 또는 제 2 데이터를 선택적으로 수신하는 것을 특징으로 하는 DDR SDRAM 의 데이터 입력 장치.

**【청구항 4】**

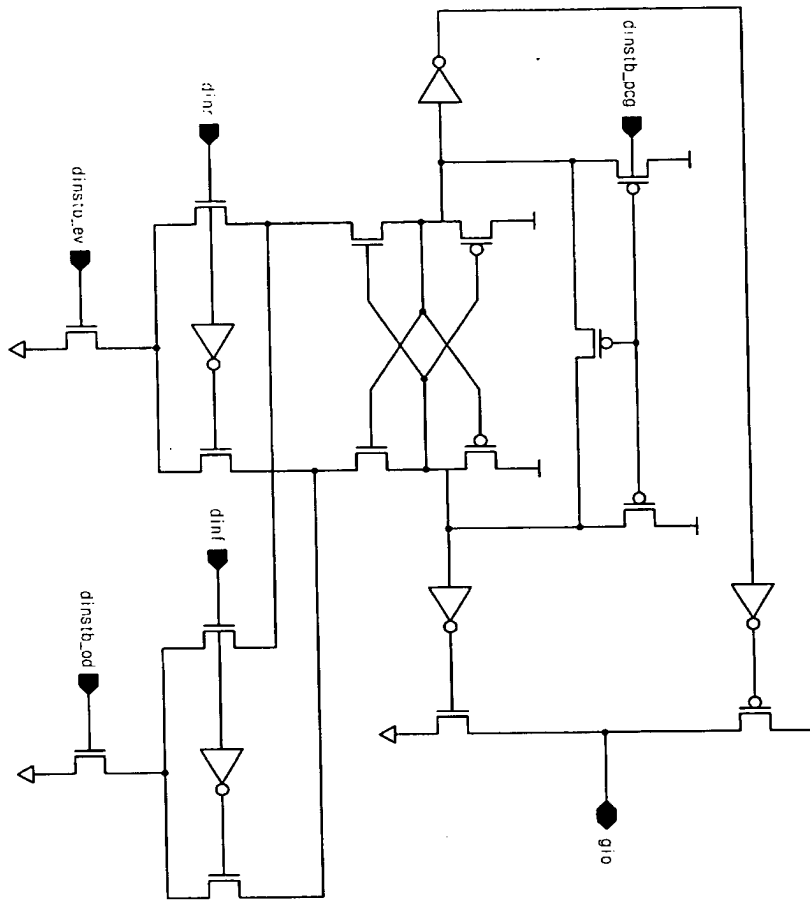
제 1 항에 있어서, 상기 제 1 데이터 버퍼는 2 개의 입력 단자를 통하여 상기 제 1 데이터 또는 제 2 데이터를 선택적으로 수신하는 것을 특징으로 하는 DDR SDRAM 의 데이터 입력 장치.

【도면】

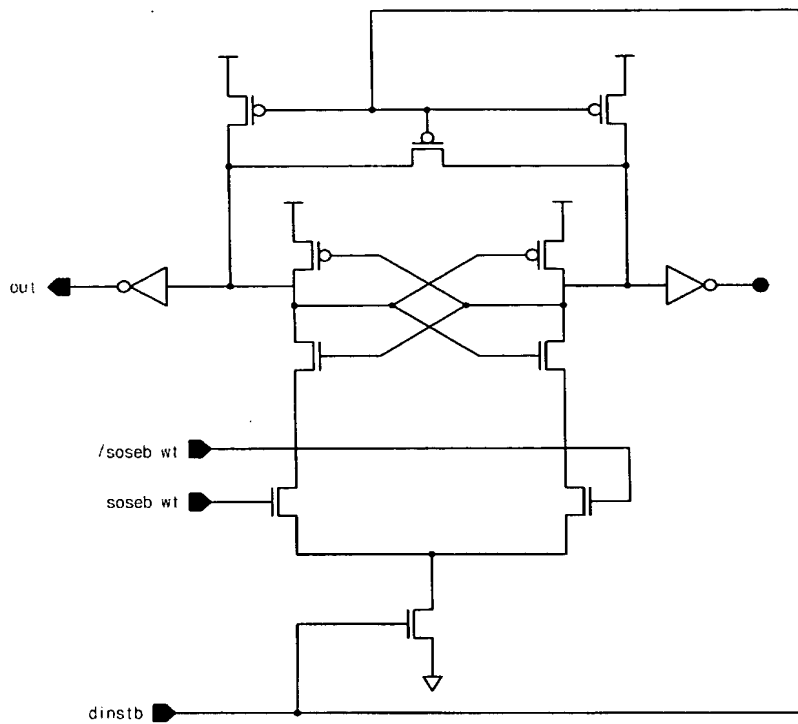
【도 1】



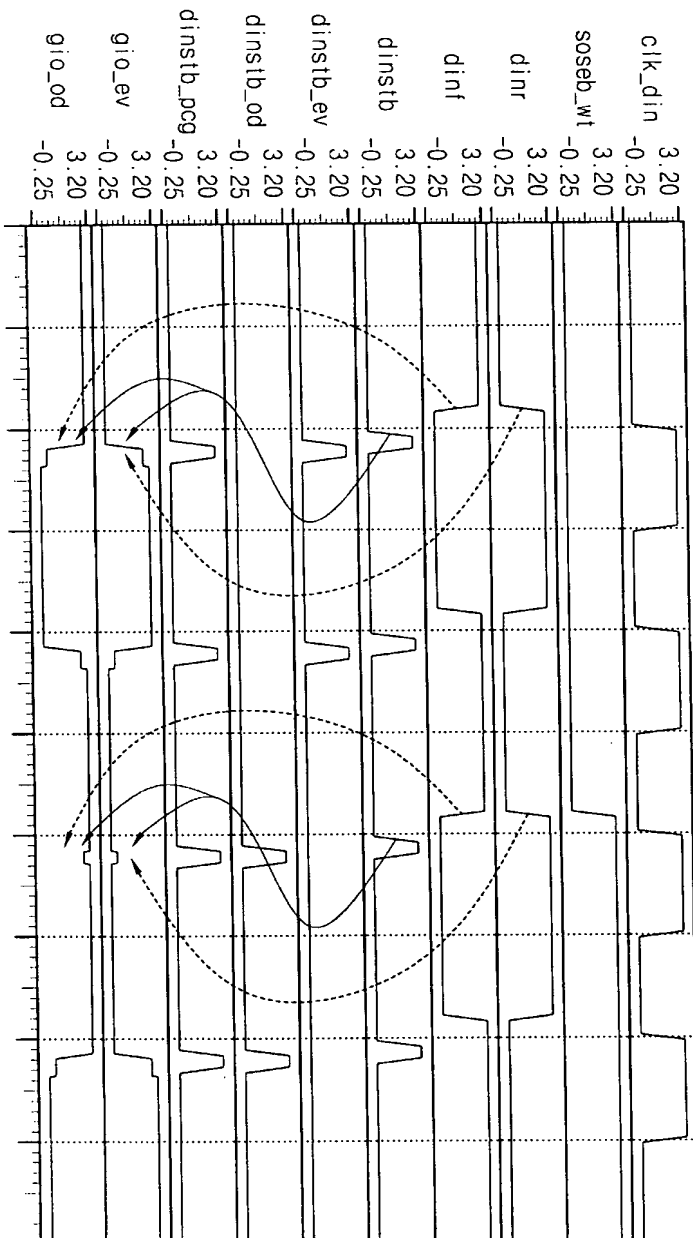
【도 2a】



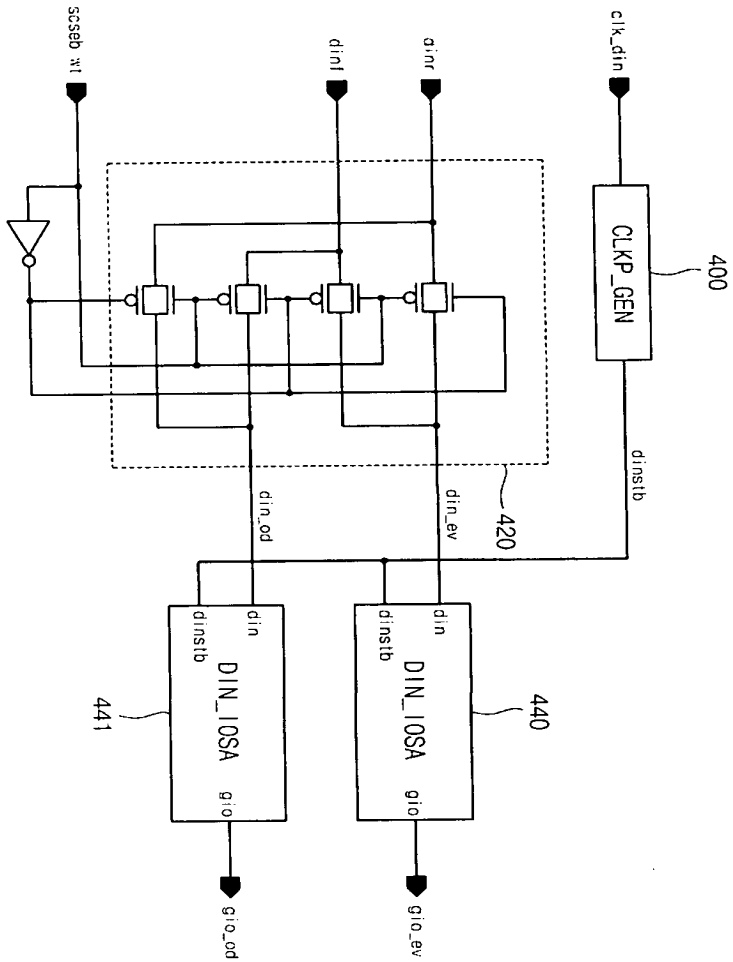
【도 2b】



【도 3】

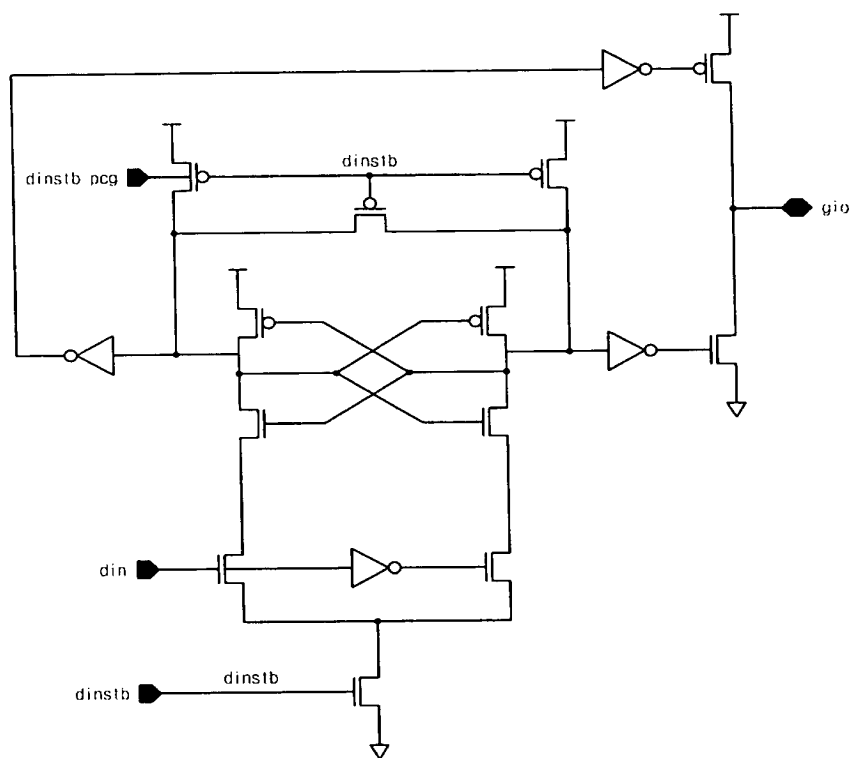


【도 4】



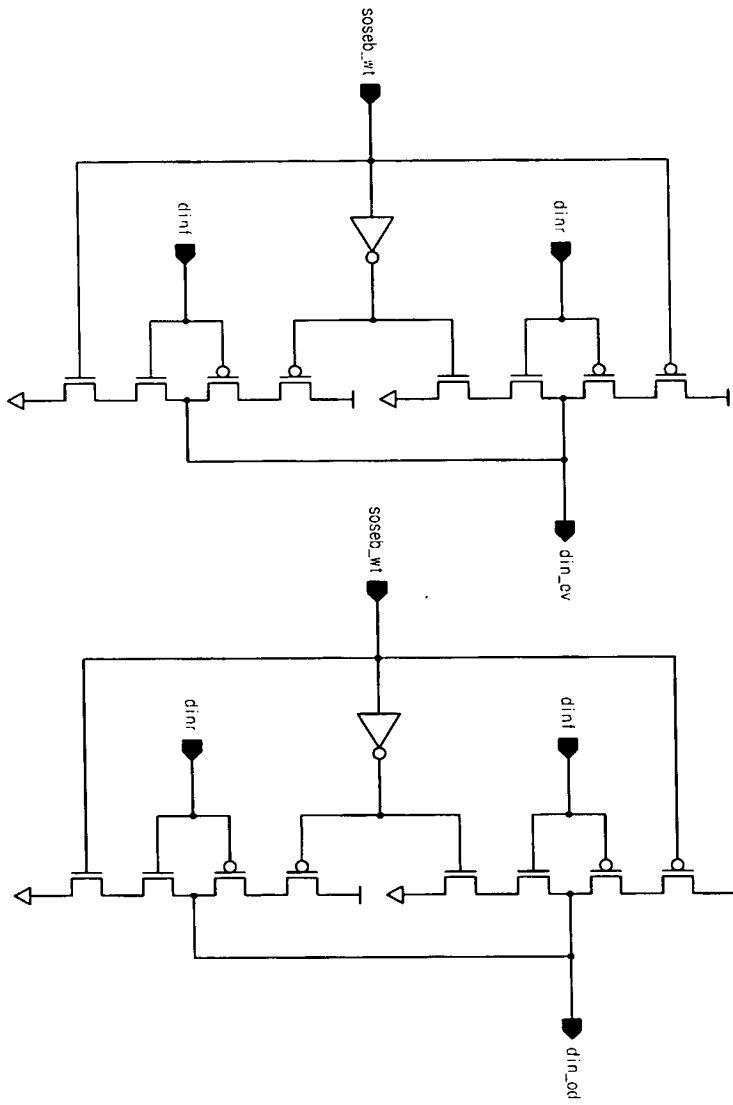


【도 5】

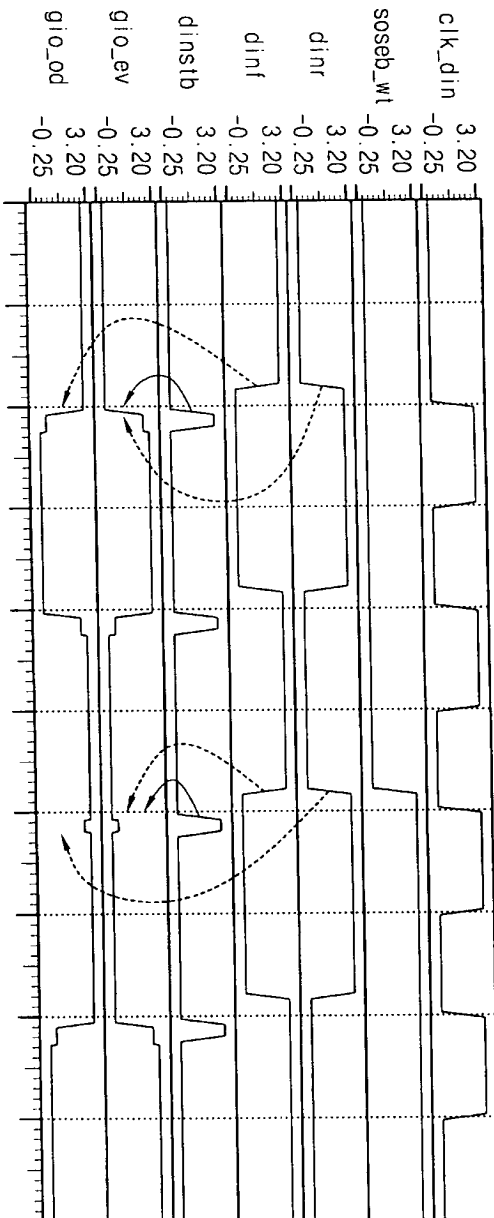




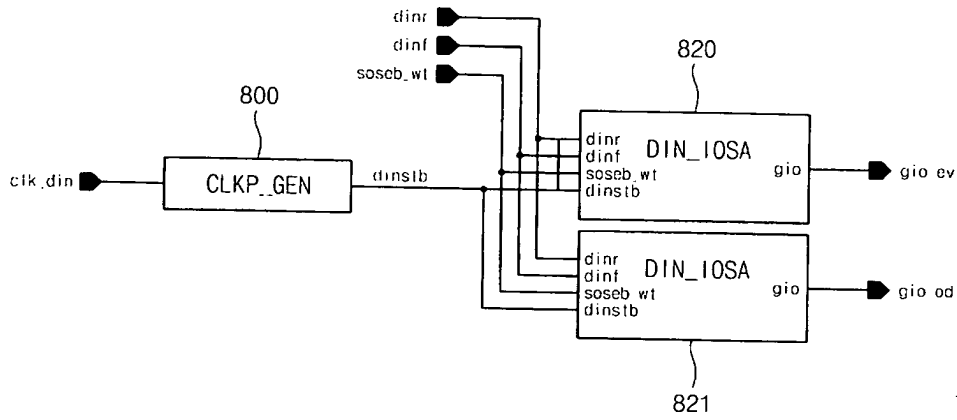
【도 6】



【도 7】



【도 8】



【도 9】

